

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127206

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 23/12
H01L 21/304
H01L 21/56
H01L 21/301

(21)Application number : 2000-230854

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 31.07.2000

(72)Inventor : SATO TETSUO

(30)Priority

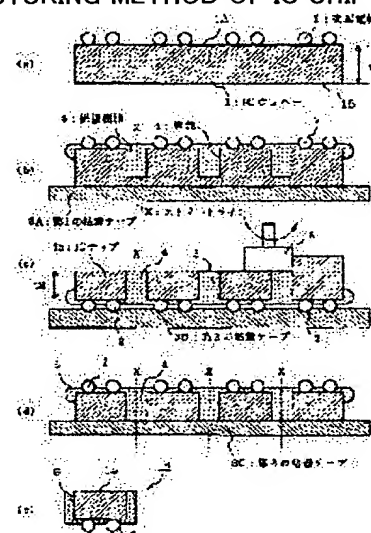
Priority number : 11229084 Priority date : 13.08.1999 Priority country : JP

(54) MANUFACTURING METHOD OF CHIP-SCALE PACKAGE AND MANUFACTURING METHOD OF IC CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of chip-scale packages, which facilitates handling of a semiconductor device at the time when a transfer treatment of the device is performed while a request for a miniaturization of the device and reduction in the thickness of the device are satisfied.

SOLUTION: Bump electrodes are formed on the active surface of an IC wafer, groove parts are formed in the wafer from the side of the active surface along street lines, a protective resin is applied on the active surface of the wafer, an adhesive member is pasted on the side of the active surface coated with the above protective resin and the wafer is fixed with this adhesive member so as to grind the non-active surface of the wafer until the bottoms of the groove parts are opened on the side of the non-active surface. After the grinding, the adhesive member is removed, an adhesive member is pasted on the ground surface of the wafer and the protective resin is cut along the street lines in a state that the wafer is fixed with this adhesive member. After this, the wafer is contrived so that the wafer is formed separately into individual chip-scale packages by removing the adhesive member pasted on the ground surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127206

(P2001-127206A)

(43) 公開日 平成13年 5月11日 (2001.5.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 P
			5 0 1 C
21/304	6 3 1	21/304	6 3 1
21/56		21/56	E
21/301		21/78	L
審査請求 未請求 請求項の数13 O L (全 12 頁)			

(21) 出願番号 特願2000-230854(P2000-230854)

(22) 出願日 平成12年 7月31日 (2000.7.31)

(31) 優先権主張番号 特願平11-229084

(32) 優先日 平成11年 8月13日 (1999.8.13)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿 2丁目 1番 1号

(72) 発明者 佐藤 哲夫

東京都田無市本町 6丁目 1番12号 シチズン時計株式会社田無製造所内

(74) 代理人 100086759

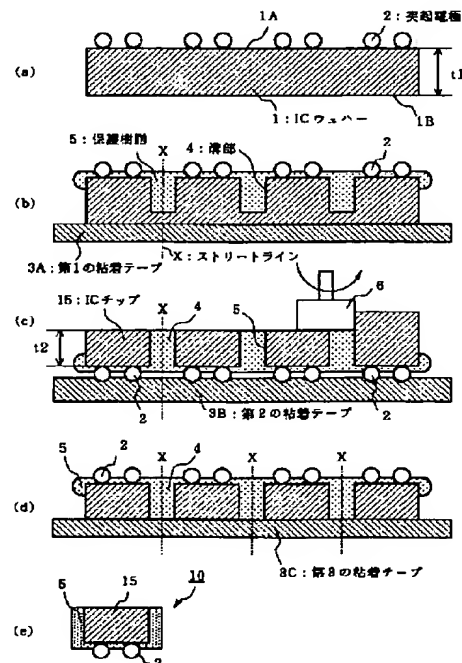
弁理士 渡辺 喜平

(54) 【発明の名称】 チップスケールパッケージの製造方法及び ICチップの製造方法

(57) 【要約】

【課題】 半導体装置の小型化及び薄型化の要求を満足しつつ、搬送処理を行う際のハンドリングを容易にするチップスケールパッケージの製造方法を提供する。

【解決手段】 ICウェハの能動面に突起電極を形成し、ストリートラインに沿って能動面側から ICウェハに溝部を形成し、ウェハの能動面に保護樹脂を塗布し、前記保護樹脂を塗布した能動面側に粘着部材を貼付し、この粘着部材によって前記 ICウェハを固定して、前記 ICウェハの非能動面側に前記溝部の底面が開口するまで前記非能動面を研削するようにした。そして、研削後に前記粘着部材を除去し、前記 ICウェハの研削面に粘着部材を貼付し、この粘着部材で前記 ICウェハを固定した状態で、前記ストリートラインに沿って保護樹脂を切断する。その後、前記研削面に貼付した前記粘着部材を除去することで個々のチップスケールパッケージに分離、形成するようにした。



【特許請求の範囲】

【請求項1】 ICウェハの能動面上の所定位置に複数個のパッド部を形成する半導体素子形成工程と、

前記パッド部に突起電極を形成する電極形成工程と、

ICウェハを個々に分割するストリートラインに沿って、前記能動面側からICウェハに溝部を形成する溝部形成工程と、

前記溝部を含むICウェハの能動面に保護樹脂を塗布する保護樹脂塗布工程と、

前記保護樹脂を塗布した能動面側に粘着部材を貼付する粘着部材貼付工程と、

前記粘着部材によって前記ICウェハを固定し、前記ICウェハの非能動面側に前記溝部の底面が開口するまで前記非能動面を研削する研削工程と、

前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、

前記研削工程で研削した前記ICウェハの研削面に粘着部材を貼付し、この粘着部材で前記ICウェハを固定した状態で、前記ストリートラインに沿って保護樹脂を切断した後、前記研削面に貼付した前記粘着部材を除去することにより個々のチップスケールパッケージに分離、形成する分離工程とを有することを特徴とするチップスケールパッケージの製造方法。

【請求項2】 前記突起電極が半田バンプ又は金バンプであることを特徴とする請求項1記載のチップスケールパッケージの製造方法。

【請求項3】 前記保護樹脂塗布工程では、前記突起電極が露出するように前記保護樹脂を塗布することを特徴とする請求項1又は2に記載のチップスケールパッケージの製造方法。

【請求項4】 前記保護樹脂塗布工程では、前記突起電極を被覆するように前記保護樹脂を塗布し、前記ICウェハの前記非能動面を研削した後に、前記突起電極を露出させることを特徴とする請求項1～3のいずれかに記載のチップスケールパッケージの製造方法。

【請求項5】 前記保護樹脂塗布工程では、前記突起電極を被覆するように前記保護樹脂を塗布し、前記ICウェハの研削面に粘着部材を貼付した後に前記突起電極を露出させることを特徴とする請求項4記載のチップスケールパッケージの製造方法。

【請求項6】 前記保護樹脂表面をアッシング処理して前記突起電極を露出させることを特徴とする請求項4又は5に記載のチップスケールパッケージの製造方法。

【請求項7】 前記ICウェハに溝部を形成する溝部形成工程において予め非能動面側に粘着部材を貼付し、この粘着部材によって前記ICウェハを固定した状態で前記溝部を形成し、その後前記粘着部材を除去することを特徴とする請求項1～6のいずれかに記載のチップスケールパッケージの製造方法。

【請求項8】 ICウェハの能動面上の所定位置に複

数個のパッド部を形成する半導体素子形成工程と、

前記パッド部に半田層を形成し、前記半田層を含む前記ICウェハの能動面にフラックスを塗布し、前記フラックスが塗布された前記半田層をリフローすることによ

って前記半田層を丸めて突起電極を形成する電極形成工程と、

ICウェハを個々のICチップに分割するストリートラインに沿って、前記能動面側からICウェハに溝部を形成する溝部形成工程と、

10 前記能動面側に粘着部材を貼付する粘着部材貼付工程と、

前記粘着部材によって前記ICウェハを固定し、前記ICウェハの非能動面側に前記溝部の底面が開口するまで、前記非能動面を研削する研削工程と、

前記研削工程で研削した前記非能動面に粘着部材を貼付して、各ICチップが個々に分離しないように連結する連結工程と、

前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、

20 前記フラックスを洗浄するフラックス洗浄工程と、

各ICチップを連結する前記粘着部材から、個々のICチップを取り出すICチップ取出工程と、

を有することを特徴とするICチップの製造方法。

【請求項9】 前記突起電極形成工程と前記溝部形成工程の間に前記フラックス洗浄工程と、前記突起電極を含む前記ICウェハの能動面に保護膜を形成する保護膜形成工程とを設け、

前記粘着部材除去工程の後に、前記保護膜を除去する保護膜除去工程を設けたこと、

30 を特徴とする請求項8記載のICチップの製造方法。

【請求項10】 ICウェハの能動面上の所定位置に複数個のパッド部を形成する半導体素子形成工程と、

前記パッド部に突起電極を形成する電極形成工程と、

前記突起電極を含む前記ICウェハの能動面側に保護膜を形成する保護膜形成工程及びICウェハを個々のICチップに分割するストリートラインに沿って、前記能動面側からICウェハに溝部を形成する溝部形成工程と、

前記能動面側に粘着部材を貼付する粘着部材貼付工程

40 と、

前記粘着部材によって前記ICウェハを固定し、前記ICウェハの非能動面側に前記溝部の底面が開口するまで、前記非能動面を研削する研削工程と、

前記研削工程で研削した前記非能動面に粘着部材を貼付して、各ICチップが個々に分離しないように連結する連結工程と、

前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、

前記保護膜を除去する保護膜除去工程と、

50 各ICチップを連結する前記粘着部材から、個々の前記

ICチップを取り出すICチップ取出工程と、
を有することを特徴とするICチップの製造方法。

【請求項11】 前記突起電極が半田バンプ又は金バンプであることを特徴とする請求項10記載のICチップの製造方法。

【請求項12】 前記保護膜がフォトリソトであることを特徴とする請求項9～11のいずれかに記載のICチップの製造方法。

【請求項13】 前記ICウェハに溝部を形成する溝部形成工程において予め非能動面側に粘着部材を貼付し、この粘着部材によって前記ICウェハを固定した状態で前記溝部を形成し、その後前記粘着部材を除去することを特徴とする請求項8～12のいずれかに記載のICチップの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、小型化及び薄型化の要求に応えることのできる半導体装置の製造方法に関し、特に、IC能動面を保護した状態で、バックグランドによってチップスケールパッケージを薄型加工することのできるチップスケールパッケージの製造方法及びICチップの製造方法に関する。

【0002】

【従来の技術】近年、カメラ一体型V.T.Rや携帯電話機等の登場にともなって、ベア・チップとほぼ同じ寸法の小型パッケージ、いわゆるC・S・P（チップ・スケール・パッケージ）を搭載した携帯機器が、相次いで登場している。このチップ・スケール・パッケージは、ICチップに保護樹脂をコーティング等して形成したもので、最近では、C・S・Pの開発が急速に進み、半導体装置の小型、薄型化及び高密度化が図られている。

【0003】例えば、特開平10-79362号公報には、小型化及び薄型化の要求に応えるための、チップスケールパッケージの製造方法に関する技術が開示されている。半導体装置は、一般に、半導体素子形成工程、バンプ形成工程、樹脂封止工程、突起電極露出工程及び分離工程等を経て製造される。前記公報では、半導体装置の製造方法が、第19実施形態に開示されている。

【0004】図16（A）～（C）に、この第19実施形態に記載された半導体装置の製造方法を示す。図16（A）では、樹脂封止工程の前に、後工程の分離工程で基板116（多数の半導体素子が形成されたウェハ）を切断する部分に、比較的広い切断用の溝105を形成しておく。この溝105は、基板116の一部が溝105の底部に残るように形成される。また、溝105の幅は、少なくともダイサ129の幅より大きい寸法に設定されている。

【0005】前記樹脂封止工程では、基板116の上に樹脂層130を形成すると共に、溝105に封止用の樹脂を充填して、樹脂層106を形成する。樹脂封止工程

の終了後には、分離工程が実施される。この工程では、図16（B）に示すように、樹脂層106が充填された溝105内の切断位置Xで、ダイサ129を用いて、基板116を切断する。これにより、図16（C）に示すように、基板116が切断される。

【0006】前記分離工程では、樹脂層106が形成された溝105内で切断処理を行うので、樹脂層106の厚さが能動面上の他の樹脂層130の厚さよりも厚くなる。そのため、機械的強度を高めることができる。また、樹脂層106は、基板116に比べて可撓性を有しているので、基板116に付与される応力を吸収することができる。そのため、分離工程において、基板116及び樹脂層130にクラックが発生するのを防止することができる。また、半導体装置の製造時における歩留りを高めることができる。

【0007】分離工程が終了した時点で、基板116の側面には樹脂層106が露出している。また、溝105の底部に相当する部分では、基板116の切断面が露出している。そして、半導体装置を搬送する際には、ハンドリング装置を用いて、樹脂層106が露出している部分を把持するようにしている。また、米国特許第5,888,883号には、半導体装置の小型化及び薄型化の要求に応えるためのウェハの切断方法及び半導体装置の製造方法が開示されている。米国特許第5,888,883号に記載の方法によれば、ウェハの一面に、ダイシングラインに沿って、完成時の半導体チップの厚さよりも深い溝を形成し、ウェハの前記一面に保持部材を貼り付け、この保持部材で前記ウェハを研削装置のテーブルに固定して、前記溝に達するまでウェハの他面を研削する。これにより、ウェハが個々のチップに分離される。しかし、特開平10-79362号公報及び米国特許第5,888,883号に記載された発明は、半導体装置の基板の切断面及びコーナーが露出しているので、この露出している部分がハンドリング装置により傷つけられやすいという問題がある。

【0008】特開平10-79362号公報には、切断した基板116の側面の全面に樹脂層を形成して露出している部分を無くし、ハンドリングの際に傷が付きにくくした半導体装置の製造方法が、第21実施形態に開示されている。図17（A）～（D）に、この第21実施形態に記載された半導体装置の製造方法を示す。この実施形態では、図17（A）～（D）に示すように、樹脂封止工程の前に、第1の分離工程を実施して、基板116を個々の半導体素子112に分離している。そして、この個々の半導体素子112に、それぞれバンプ120及び電子回路が形成される。

【0009】この第1の分離工程が終了すると、続いて樹脂封止工程が実施される。この樹脂封止工程では、図17（A）に示すように、一旦分離された半導体素子112を、ベース材となるフィルム部材113上に隣接す

10

20

30

40

50

る半導体素子112の間に、間隙部114が形成した状態で整列させて搭載する。この際、半導体素子112は、接着剤を用いてフィルム部材113に貼付する。

【0010】上記のように、フィルム部材113の上に半導体素子112を搭載すると、樹脂の圧縮成形処理が行われ、各半導体素子112の表面には樹脂層113が形成され、間隙部114には樹脂層106が形成される。続いて、パンプ120の少なくとも先端部の樹脂層130より露出させる突起電極露出工程が実施される。図17(B)は、以上の各処理が終了した状態を示している。

【0011】続いて、第2の分離工程では、隣接する半導体素子112の間、すなわち、樹脂層196が形成される位置で、切断処理が行われ、フィルム部材113と共に樹脂層106が切断される。図17(C)に示すように、樹脂層130が形成された半導体素子112が分離され、続いて、図17(D)に示すようにフィルム部材113が除去される。

【0012】上記したように、分離された半導体素子112は、側面及びコーナーが樹脂で覆われているので、ハンドリング装置で樹脂部分を把持して処理することができる。そのため、半導体素子112が傷つけられないようにすることができる。

【0013】

【発明が解決しようとする課題】しかしながら、前述した半導体装置の製造方法には次のような問題点がある。即ち、公報記載の第2実施例では、予め基板を切断して個々の半導体素子に分離し、その個々の半導体素子の間隔を所定間隔に確保して、フィルム部材に貼付している。そのため、作業が煩わしく、生産性も極めて低い。

【0014】また、市場における半導体装置の薄型化の要求に応じるために、はじめから更に薄いICウェハーを使用することが考えられる。しかし、さらに薄いICウェハーを上記した製造方法で処理する場合には、以下のような問題が生じる。製造工程中、例えば、ICウェハーを研削した際に微細なクラックがあると、パンプ形成工程におけるパンプ形成時に、そのクラックが進行することがある。このようなクラックの進行は、ウェハーの割れ不良等を多発させて製造歩留りを著しく低下させる。

【0015】本発明の目的は、半導体装置の小型化及び薄型化の要求を満足しつつ、半導体装置の搬送処理を行う際のハンドリングを容易にするチップスケールパッケージの製造方法及びICチップの製造方法を提供するところにある。また、チップの欠けの発生を防止して、生産性に優れた安価なチップスケールパッケージの製造方法を及びICチップの製造方法提供するところにある。

【0016】

【課題を解決するための手段】上記目的を達成するために本発明は、ICウェハーの能動面上の所定位置に複数

個のパッド部を形成する半導体素子形成工程と、前記パッド部に突起電極を形成する電極形成工程と、ICウェハーを個々に分割するストリートラインに沿って、前記能動面側からICウェハーに溝部を形成する溝部形成工程と、前記溝部を含むICウェハーの能動面に保護樹脂を塗布する保護樹脂塗布工程と、前記保護樹脂を塗布した能動面側に粘着部材を貼付する粘着部材貼付工程と、前記粘着部材によって前記ICウェハーを固定し、前記ICウェハーの非能動面側に前記溝部の底面が開口するまで前記非能動面を研削する研削工程と、前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、前記研削工程で研削した前記ICウェハーの研削面に粘着部材を貼付し、この粘着部材で前記ICウェハーを固定した状態で、前記ストリートラインに沿って保護樹脂を切断した後、前記研削面に貼付した前記粘着部材を除去することにより個々のチップスケールパッケージに分離、形成する分離工程とを有するチップスケールパッケージの製造方法としてある。

【0017】また、本発明は、ICウェハーの能動面上の所定位置に複数個のパッド部を形成する半導体素子形成工程と、前記パッド部に半田層を形成し、前記半田層を含む前記ICウェハーの能動面にフラックスを塗布し、前記フラックスが塗布された前記半田層をリフローすることによって前記半田層を丸めて前記突起電極を形成する電極形成工程と、ICウェハーを個々に分割するストリートラインに沿って、前記能動面側からICウェハーに溝部を形成する溝部形成工程と、前記能動面側に粘着部材を貼付する粘着部材貼付工程と、前記粘着部材によって前記ICウェハーを固定し、前記ICウェハーの非能動面側に前記溝部の底面が開口するまで、前記非能動面を研削する研削工程と、前記研削工程で研削した前記非能動面に粘着部材を貼付して、各チップスケールパッケージが個々に分離しないように連結する連結工程と、前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、前記フラックスを洗浄するフラックス洗浄工程と、各チップスケールパッケージを連結する前記粘着部材から、個々のチップスケールパッケージを取り出すパッケージ取出工程とを有するチップスケールパッケージの製造方法である。

【0018】この場合、前記突起電極形成工程と前記溝部形成工程の間に前記フラックス洗浄工程と、前記突起電極を含む前記ICウェハーの能動面に保護膜を形成する保護膜形成工程とを設け、前記粘着部材除去工程の後に、前記保護膜を除去する保護膜除去工程を設けてもよい。また、ICウェハーの能動面上の所定位置に複数個のパッド部を形成する半導体素子形成工程と、前記パッド部に突起電極を形成する電極形成工程と、前記突起電極を含む前記ICウェハーの能動面側に保護膜を形成する保護膜形成工程及びICウェハーを個々のICチップに分割するストリートラインに沿って、前記能動面側か

らICウェハーに溝部を形成する溝部形成工程と、前記能動面側に粘着部材を貼付する粘着部材貼付工程と、前記粘着部材によって前記ICウェハーを固定し、前記ICウェハーの非能動面側に前記溝部の底面が開口するまで、前記非能動面を研削する研削工程と、前記研削工程で研削した前記非能動面に粘着部材を貼付して、各ICチップが個々に分離しないように連結する連結工程と、前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程と、前記保護膜を除去する保護膜除去工程と、各ICチップを連結する前記粘着部材から、個々のICチップを取り出すICチップ取出工程とを有する方法としてもよい。

【0019】前記突起電極は半田バンプ又は金バンプであってもよい。また、前記保護樹脂塗布工程では、前記突起電極が露出するように前記保護樹脂を塗布してもよいし、前記突起電極を被覆するように前記保護樹脂を塗布し、前記ICウェハーの研削面に粘着部材を貼付した後に前記突起電極を露出させるようにしてもよい。

【0020】さらに、前記保護樹脂表面をアッシング処理して突起電極を露出させるようにしてもよい。また、前記ICウェハーに溝部を形成する溝部形成工程において予め非能動面側に粘着部材を貼付し、この粘着部材によって前記ICウェハーを固定した状態で前記溝部を形成し、その後前記粘着部材を除去するようにしてもよい。上記した各工程では、可能な範囲で工程の順序を入れ換えることができる。例えば、前記溝部形成工程は、保護膜形成工程の前に設けてもよい。また、前記研削工程で研削した前記ICウェハーの研削面に粘着部材を貼付した後に、前記能動面側に貼付した前記粘着部材を除去する粘着部材除去工程を設けてもよい。

【0021】

【発明の実施の形態】本発明のチップスケールパッケージの製造方法を、図面を参照しながら説明する。図1は、本発明の一実施形態にかかり、チップスケールパッケージの製造方法の工程の説明図である。また、図2～図12は、本発明の製造方法の各工程を更に詳細に説明した図である。

【0022】図1(a)は、半導体素子形成工程及び突起電極形成工程が終了した状態を示している。例えば、厚み t_1 が、 $t_1=625\mu\text{m}$ 程度のICウェハー1に、周知の回路形成を行う。また、ICウェハー1の能動面1Aの所定位置に形成された複数のパッド電極に、突起電極(半田バンプ)2を形成して、バンプ形成を行う。

【0023】図1(b)は、第1テープ貼付工程、溝部形成工程及び保護樹脂塗布工程が終了した状態を示している。第1テープ貼付工程では、ICウェハー1の非能動面1Bに、粘着部材である第1の粘着テープ3Aを貼り付ける。そして、ストリートラインXに沿って、ICウェハー1に直交する溝部4を能動面1A側から形成す

る。

【0024】第1の粘着テープ3Aは、母材である支持部材の一方の面に粘着面を形成してなっている。非能動面1Bには前記粘着面が貼り付けられる。第1の粘着テープ3Aは、前記粘着面が、紫外線の照射等によって容易に粘着性を弱めることができるもの(例えば、NETTO DENKO CORPORATION製 ELEP HOLDER NBD-2170K)であるのが好ましい。溝部4を形成する際には、第1の粘着テープ3Aの前記支持部材の他方の面を、真空吸着等によって、図示しない溝部形成装置のテーブルに貼り付け、これによって、ICウェハー1を前記テーブルに固定する。次いで、半田バンプ2が露出するように、溝部4を含む能動面1Aに保護樹脂5を塗布する。

【0025】図1(c)は、第1テープ除去工程と、第2テープ貼付工程及び研削工程が終了した状態を示している。第1テープ除去工程では非能動面1Bに貼付された第1の粘着テープ3Aを除去する。第2テープ貼付工程では、第1テープ除去工程の後に、保護樹脂5を塗布した能動面1A側に粘着部材である第2の粘着テープ3Bを貼付する。この第2の粘着テープ3Bは、第1の粘着テープ3Aと同様の粘着面を一方の面に有していて、前記粘着面が能動面1Aに貼り付けられる。そして、他方の面が、図示しない研削装置のテーブルに、真空吸着等によって貼り付けられる。研削工程では、非能動面1Bを研削砥石6で研削して、溝部4の保護樹脂5をICウェハー1の非能動面1Bに露呈させる。このときICチップ15の厚み t_2 は、例えば、 $t_2=100\mu\text{m}$ 程度である。

【0026】図1(d)は、第2テープ除去工程と、第3テープ貼付工程及び分離工程が終了した状態を示している。第2テープ除去工程では、能動面1Aに貼付された第2の粘着テープ3Bを除去する。第3テープ貼付工程では、第2テープ除去工程の後に、研削した非能動面1B(研削面)に粘着部材である第3の粘着テープ3Cを貼付する。この第3の粘着テープ3Cは、第1の粘着テープ3Aと同様の粘着面を一方の面に有していて、前記粘着面が非能動面1Bに貼り付けられる。そして、他方の面が、図示しない切断装置のテーブルに、真空吸着等によって貼り付けられる。分離工程では、ストリートラインXに沿って能動面1A側から、ダイサー129(図13参照)により保護樹脂5を切断し、ICチップ15を個々に分割する。

【0027】図1(e)は、第3テープ除去工程を終了して得られたチップスケールパッケージの断面図である。第3テープ除去工程では、ICチップ1の非能動面1Bに貼付された第3の粘着テープ3Cが除去される。これにより、チップスケールパッケージ10が完成する。このようにして完成されたチップスケールパッケージ10は、能動面及び全側面が保護樹脂5により保護され、かつ、半田バンプ2が保護樹脂5から露出した極薄

のものである。

【0028】次に、図2～図12を参照しながら、本発明のチップスケールパッケージの製造方法をさらに詳しく説明する。図2に、ICウェハー1上にパッド電極11を形成する半導体素子形成工程を示す。図2に示すように、ICウェハー1の能動面1Aの予め決められた位置には、例えば、Al（アルミニウム）材料からなるパッド電極11が形成される。能動面1Aには、パッシベーション膜12がさらに形成される。なお、符号Xは、後工程で個々のICチップに切断、分離する際の基準となるストリートライン（切断ライン）である。

【0029】図3は、半田パンプ形成工程を示している。この工程では、PV膜の保護とパンプの応力緩和のために、パッド電極11及びパッシベーション膜12の上にポリイミド14を塗布する。そして、パンプ2を形成する部分及びストリートラインXの部分を開口する。パッド電極11のAl層に、Cu、Cr、Alの3層よりなるアンダーパンプメタル13をスパッター処理によって形成する。このアンダーパンプメタル13の下層をAl層とすることで、Al層からなるパッド電極11とアンダーパンプメタル13との密着性を良くすることができる。

【0030】中層のCr層は、CuのAlへの拡散を防止する。上層のCu層はCrとの密着性が高く、さらに、半田との密着性も高く判断と濡れ易い。符号13aはCuメッキ層である。パンプ2を構成する半田は、錫と鉛の比率がおおよそ6対4である共晶半田である。突起電極であるパンプ2は、半田パンプの代わりに電気抵抗値の低い金パンプで形成しても良い。

【0031】図4は、第1テープ貼付工程を示している。この工程では、ICウェハー1の非能動面1Bに、第1の粘着テープ3Aを貼着する。

【0032】図5は、溝部形成工程を示している。この工程では、第1の粘着テープ3Aの他方の面を、真空吸着等によって図示しない溝部形成装置のテーブルに貼り付け、ICウェハー1を前記テーブルに固定する。そして、ICウェハー1を個々に分割するためのストリートラインXに沿って、半田パンプ2が形成されているICウェハー1の能動面1A側に、溝部4を形成する。この溝部4の幅は、ICウェハー1を個々に分割するための後述のダイサの幅よりも大きくなるようにする。さらに、溝部4の幅は、個々に分割されたICチップ15の側面に、保護樹脂5が残存するように設定する。また、溝4の深さは、完成したICチップ15に求められる厚みよりも、少し深めに設定する。

【0033】図6は、保護樹脂塗布工程を示している。この工程では、ICウェハー1に形成された溝部4を含む能動面1A及び半田パンプ2を覆うように、保護樹脂5をスピンコートする。もちろん、半田パンプ2が最初から露出するように、保護樹脂5を塗布するようにして

もよい。この保護樹脂5は、例えば、ポリイミド、エポキシ等の熱硬化性樹脂であるのが好ましい。溝部4の幅は、例えば、70 μ mと狭いので、まず低粘度の樹脂を塗布する。これにより、溝部4には樹脂がほぼ完全に充填される。次に、高粘度の樹脂を厚め塗布する。高粘度の樹脂を多数回塗布して、厚めの樹脂層を形成するのがよい。また、金型を使用してトランスモールドしてもよい。

【0034】保護樹脂5は、以下の目的で塗布する。

- ①外力によってチップが破壊されないようにする。
 - ②ICが汚染しないように保護する。
 - ③イオンの侵入を防止等してICの信頼性を保証する。
- したがって、これらの目的に適合した樹脂コートが必要である。

【0035】図7は、アッシング工程を示している。この工程では、パンプ2を覆っている保護樹脂5にプラズマを照射して、保護樹脂5を表面から分解・蒸発させる。このアッシングによって、パンプ2の先端部が保護樹脂5から露出する。

【0036】図8は、第1の粘着テープ3Aの剥離工程を示している。この工程では、ICウェハー1の非能動面1Bに貼付された第1の粘着テープ3Aに紫外線を照射して、第1の粘着テープ3AをICウェハー1から剥離する。図9は、第2の粘着テープ貼付工程を示している。この工程では、ICウェハー1の能動面1A側に形成された半田パンプ2の先端部に、第2の粘着テープ3Bを貼付する。

【0037】図10は、研削工程を示している。この工程では、第2の粘着テープ3Bの他方の面（半田パンプ2の反対側の面）を、真空吸着等によって、図示しない研削装置のテーブルに貼り付ける。そして、前記研削装置の研削砥石6で、ICウェハー1の非能動面1Bを、溝部4の底面が開口して保護樹脂5が露呈するまで研削する。研削する量は、ICチップ15の厚みt2、例えば、t2=100 μ mほどである。研削工程でICウェハー1は、個々のICチップ15に分割されるが、この工程では、保護樹脂5によってまだ一体的になっている。また、この状態でICチップ15は、電気的には絶縁されている。そのため、全てのICチップ15に対して電気的なテストを行うことで、チェックまたはバーインをすることができる。

【0038】図11は、第3テープ貼付工程及び切断工程を示している。第3テープ貼付工程では、ICウェハー1の研削を行った後に、研削した非能動面1B側の面に、第3の粘着テープ3Cを貼付する。第2の粘着テープ3Bは、第3の粘着テープ3Cを貼付する前に除去する。第2の粘着テープ3Bは、第3の粘着テープ3Cを貼付した後に除去してもよい。分離工程では、第3の粘着テープ3Cを、真空吸着等によって、図示しないダイシング装置（例えば、株式会社ディスコ製のダイシング

リングMODTF2-6-1)のダイシングテーブルに貼り付けて、ICウェハー1を固定する。そして、ICチップ15を連結している保護樹脂5を、各ICチップ15毎に、図示しないダイサーを用いて切断する。このとき、前記ダイサーをストリートラインX(Y方向は図示せず)に沿って移動させて、保護樹脂5切断する。

【0039】図12は、第3テープ除去工程を示している。この工程では、ICチップ15の裏面(非能動面1B)に貼付された第3の粘着テープ3Cに紫外線を照射して剥離する。これにより、極薄のチップスケールパッケージ10が完成する。完成したチップスケールパッケージ10は、半田バンプ2が露出し、能動面1A及び全側面が保護樹脂5により保護されている。

【0040】この実施形態によれば、個々のICチップに分離する前に、所望の厚みに薄く研削し、可撓性を有する保護樹脂をダイシングするので、外力として加えられた応力が保護樹脂によって吸収され、ICウェハーの割れを防止することができる。また、ICウェハーの側面に保護樹脂を形成してハンドリングを容易にし、ウェハーの欠けの発生を防止することができる。なお、上記した各工程は、可能な範囲で工程の順序を入れ換えることができる。例えば、上記の実施の形態においては、保護樹脂塗布の直後に突起電極を露出するようにアッシング処理を施したが、研削が終了してICウェハーの研削面に第3の粘着テープを貼付した後に、アッシング処理を施して突起電極を露出させても良い。

【0041】[他の実施形態]次に、本発明の他の実施形態を、図13～図15を参照しながら説明する。図13～図15は、本発明の他の実施形態にかかり、チップスケールパッケージの製造に用いられるICチップの製造方法の工程の説明図である。図13～図15において、上記の実施形態と同一の部位及び同一の部材には同一の符号を付し、詳しい説明は省略する。図13(a)は、ICウェハー1上にパッド電極11を形成する半導体素子形成工程である。図13(b)は、パッド電極上に半田層を形成する工程である。この工程では、ICウェハー1の能動面にメッキレジスト層20を形成する。そして、ICウェハーのパッド電極2の部分に、メッキバンプ方式によって、半田層21を形成する。図13(c)は、ICウェハー1の能動面及び半田層21の上に、フラックス22を塗布する工程である。

【0042】図13(d)は、半田層21を所定の温度でリフローして、半田層21を丸め、半田バンプ2を形成する工程である。この工程では、ICウェハー1の非能動面1Bに、第1の粘着テープ3Aを貼着する。半田バンプ2を形成するために塗布されたフラックス22は、後述する研削工程で、砥粒や切粉等が能動面に付着するのを防止する保護膜として機能する。図14(a)は、ストリートラインXに沿って溝部4を形成する工程である。この工程は、第5図を参照しながら説明した溝

部4の形成工程と同じである。図14(b)は、第1の粘着テープ3Aを非能動面1Bから剥離し、フラックス22が塗布された能動面1Aに第2の粘着テープ3Bを貼り付ける工程である。図14(c)は、研削工程である。この工程では、溝部4が非能動面1Bに開口するまで、研削砥石6で研削する。

【0043】図15(a)は、研削が終了した後に、非能動面1Bに第3の粘着テープ3Cを貼り付け、第2の粘着テープ3Bを剥がし、フラックス22を洗浄除去する工程である。第3の粘着テープ3Cによって、個々のICチップ15が分離しないように連結される。図15(b)は、第3の粘着テープ3Cから個々のICチップ15を取り出す工程である。

【0044】上記の製造方法では、半田バンプ2を形成するために半田層に塗布されるフラックス22が、能動面1Aを保護するための保護膜として作用する。フラックス22の代わりに、フォトレジストで保護膜を形成してもよい。この場合は、前記保護膜を形成する前に、ICウェハー1を洗浄してフラックス22を洗い落としておく。フォトレジストの保護膜は、研削が終了した後に、簡単に除去することができる。

【0045】なお、上記の実施形態では、ICウェハーのパッド上に半田バンプを形成したが、金バンプを形成してもよい。この場合は、フラックス22を用いる代わりにフォトレジストを用いることができる。そして、金バンプを形成した後に、金バンプを含むICウェハーの能動面側に前記フォトレジストで保護膜を形成する。金バンプを用いることで、バンプを丸める工程が不要になる。保護膜形成後は、上記と同様に溝部を形成し、研削後にフォトレジストを除去すればよい。また、溝部の形成は保護膜形成の後でもよいが、先に溝部の形成を行ってから、保護膜の形成を行うようにすることも可能である。

【0046】以上説明したように、本発明によって製造されたチップ・スケール・パッケージ及びICチップは、市場における半導体装置の薄型化の要求に応じることができる。即ち、バンプ形成工程はICウェハーの厚みが比較的厚い状態で行うのでICウェハーにクラックが発生するのを防止できる。また、従来技術のように、予めICウェハーを切断し個々のICチップに分離し、その個々のICチップの1個1個を所定の間隔を確保してフィルム部材に貼付する煩わしい作業を必要としない。そのため、多数個取り生産が可能である。

【0047】

【発明の効果】以上説明したように、本発明のチップスケールパッケージの製造方法及びICチップの製造方法によれば、突起電極を形成後にバックグラインドしてICウェハーの薄型化を行うもので、所望の厚みの半導体装置を歩留り良く製造することが可能である。また、半導体装置の能動面及び全側面を保護樹脂で覆うことで、

半導体装置を傷めることなくハンドリング装置が使用できるので生産性が向上する。そのため、製造工程を簡略化でき、生産性の優れた、安価なチップスケールパッケージの製造方法を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態にかかり、チップスケールパッケージの製造方法の工程の説明図である。

【図 2】IC ウェハ上にパッド電極を形成する半導体素子形成工程を示す図である。

【図 3】半田バンプ形成工程を示す図である。

【図 4】第 1 のテープ貼付工程を示す図である。

【図 5】溝部形成工程を示す図である。

【図 6】保護樹脂塗布工程を示す図である。

【図 7】アッシング工程を示す図である。

【図 8】第 1 の粘着テープの剥離工程を示す図である。

【図 9】第 2 テープ貼付工程を示す図である。

【図 10】研削工程を示す図である。

【図 11】第 3 テープ貼付工程及び切断工程を示す図である。

【図 12】第 3 テープ除去工程を示す図である。

【図 13】本発明の他の実施形態にかかり、半導体素子形成工程～半田バンプ形成工程を示す図である。

【図 14】本発明の他の実施形態にかかり、溝部形成工程～研削工程を示す図である。

【図 15】本発明の他の実施形態にかかり、フラックスの除去～ICチップの取り出し工程を示す図である。

【図 16】特開平 10-79362 号公報の第 19 実施形態に開示された半導体装置の製造方法を示す図であ

＊る。

【図 17】特開平 10-79362 号公報の第 21 実施形態に開示された半導体装置の製造方法を示す図である。

【符号の説明】

1 IC ウェハ

1A 能動面

1B 非能動面

2 突起電極（半田バンプ）

10 3A 第 1 の粘着テープ

3B 第 2 の粘着テープ

3C 第 3 の粘着テープ

4 溝部

5 保護樹脂

6 研削砥石

10 チップスケールパッケージ（半導体装置）

11 パッド電極

12 パッシベーション膜

13 アンダーバンプメタル

20 14 ポリイミド膜

15 IC チップ

20 メッキレジスト層

21 半田メッキ

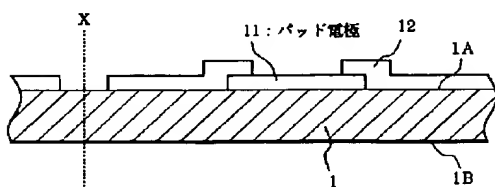
22 フラックス

X ストリートライン（切断ライン）

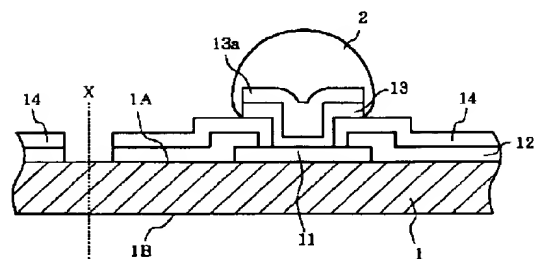
t1 研削前の IC ウェハの厚み

t2 研削後の IC チップの厚み

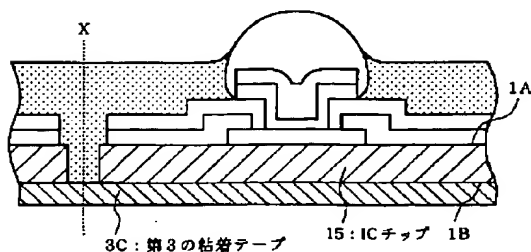
【図 2】



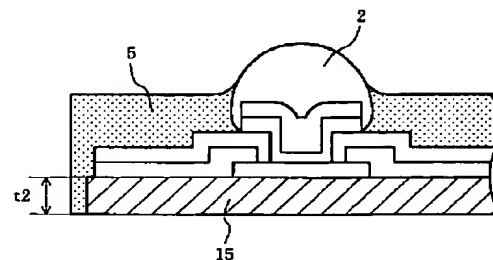
【図 3】



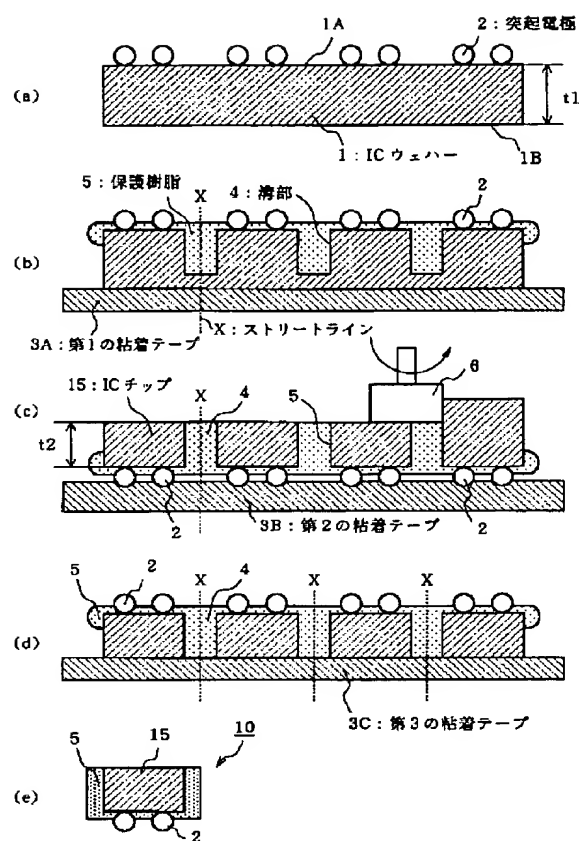
【図 11】



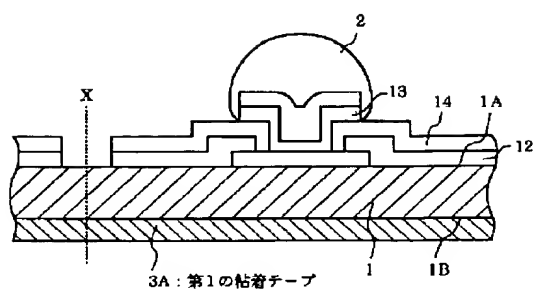
【図 12】



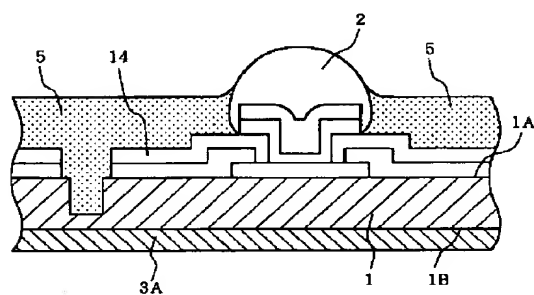
【図1】



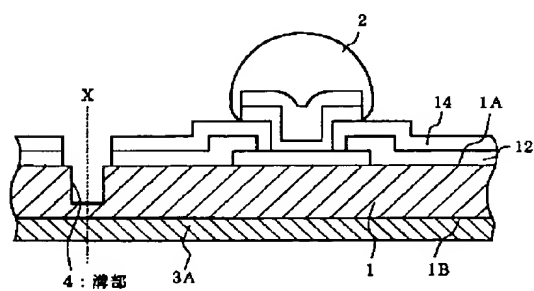
【図4】



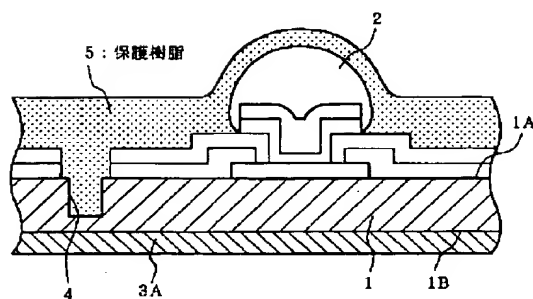
【図7】



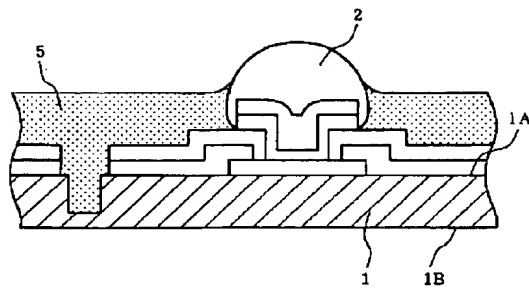
【図5】



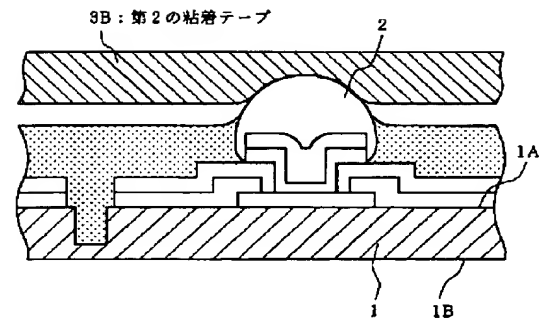
【図6】



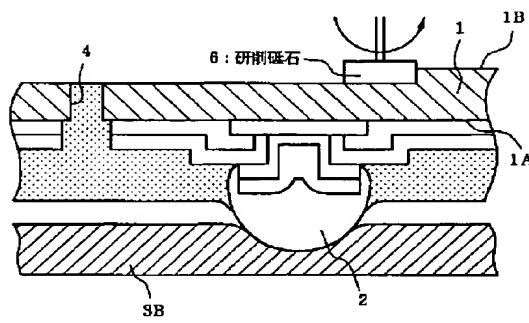
【図8】



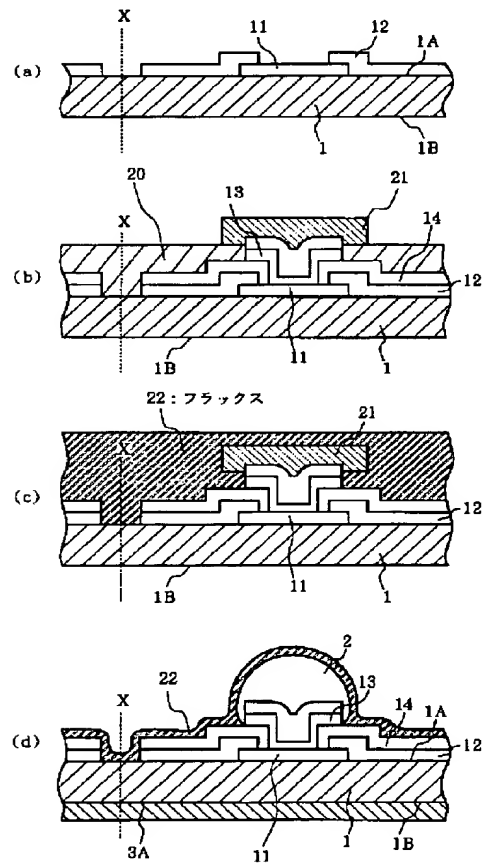
【図9】



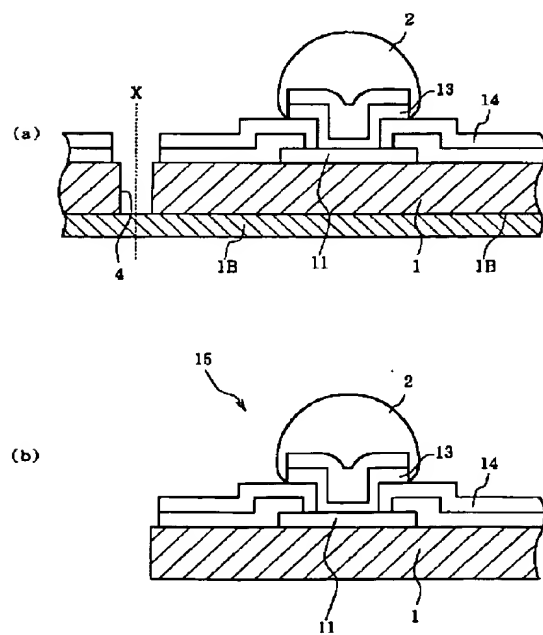
【図10】



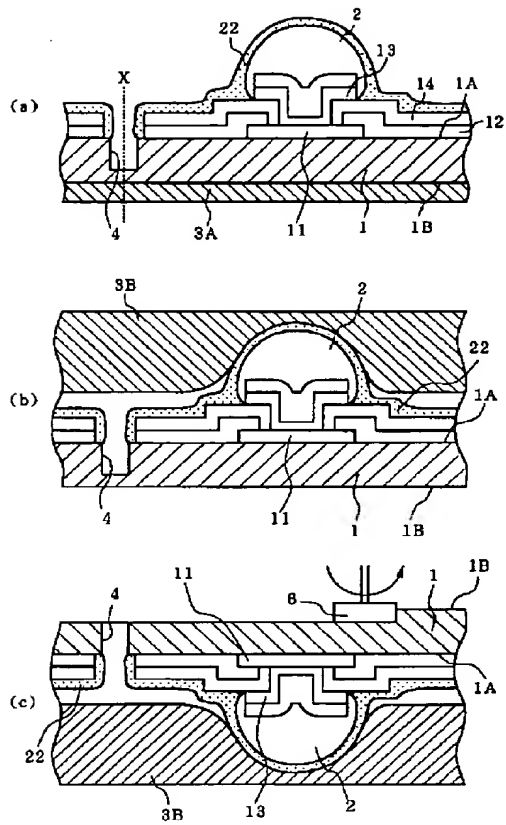
【図13】



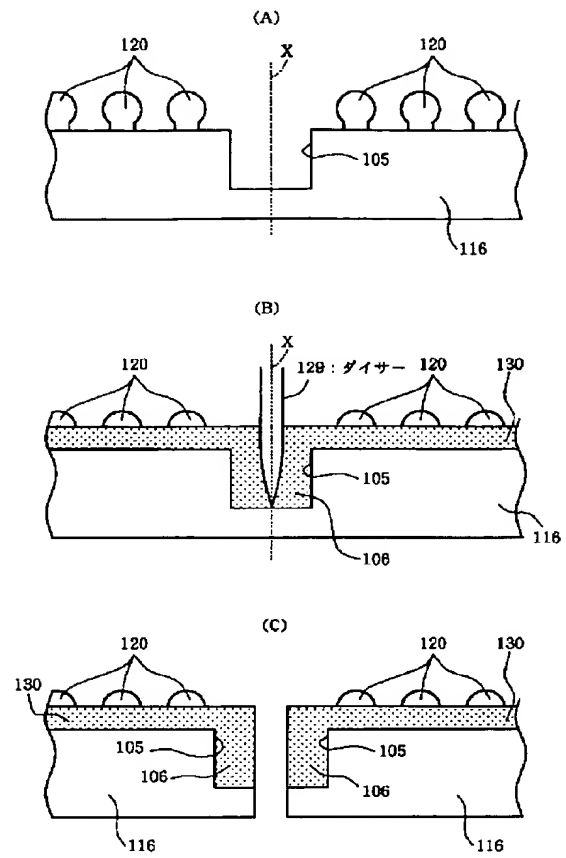
【図15】



【図14】



【図16】



【図17】

